UNIVERSIDAD NACIONAL DE CÓRDOBA

FACULTAD DE CIENCIAS EXACTAS, FÍSICAS Y NATURALES



ARQUITECTURA DE COMPUTADORAS

IMPLEMENTACIÓN DE UN PIPELINE

Integrantes: Diez de Medina Quintar, Lucas Leandro

Lichtensztein, Leandro Federico

- 2013 -

Contenido

[Introducción 3](#_Toc357627474)

[Requerimientos 3](#_Toc357627475)

[Objetivos 5](#_Toc357627476)

[Alcances del trabajo 5](#_Toc357627477)

[Desarrollo 6](#_Toc357627478)

[Instrucciones 6](#_Toc357627479)

[Instrucciones Tipo-R 6](#_Toc357627480)

[Instrucciones Tipo-I 7](#_Toc357627481)

[Instrucciones Tipo-J 7](#_Toc357627482)

# Introducción

Como trabajo final de la materia Arquitectura de Computadoras, se nos solicitó implementar un pipeline para un procesador DLX, correspondiente a la familia de procesadores MIPS. El informe aquí presentado constituye una documentación del proceso de desarrollo realizado para obtener dicho Pipeline.

## Requerimientos

* El pipeline deberá ser capaz de ejecutar correctamente el siguiente conjunto de instrucciones:

|  |  |  |
| --- | --- | --- |
| **R-Type** | **I-Type** | **J-Type** |
| SLL | LB | JR |
| SRL | LH | JALR |
| SRA | LW |  |
| SRLV | LWU |  |
| SRAV | LBU |  |
| ADD | LHU |  |
| SLLV | SB |  |
| SUB | SH |  |
| AND | SW |  |
| OR | ADDI |  |
| XOR | ANDI |  |
| NOR | ORI |  |
| SLT | XORI |  |
|  | LUI |  |
|  | SLTI |  |
|  | BEQ |  |
|  | BNE |  |
|  | J |  |
|  | JAL |  |

En el archivo “Tabla de instrucciones.xlsx” entregado con este informe, puede encontrarse en detalle el funcionamiento, la sintaxis, y un ejemplo de cada instrucción.

* El pipeline implementado deberá constar de 5 etapas con un objetivo bien definido en cada una de ellas. Estas son:

**IF (Instruction Fetch):** El objetivo de esta etapa es obtener una instrucción de la memoria de instrucciones. Los elementos principales de esta etapa son el contador de programa, la memoria de instrucciones y un multiplexor que permite seleccionar la fuente del contador de programa.

**ID (Instruction Decode):** En esta etapa se decodifica la instrucción obtenida. Se determina cuáles serán las señales de control de acuerdo a cada instrucción, y se leen los registros involucrados en la instrucción. Los elementos principales de esta etapa son la unidad de control, y los registros del procesador.

**EX (Excecute):** Aquí se realiza la operación indicada por la instrucción, sobre los registros. Además se calcula aquí la dirección de los saltos (en caso de ser una instrucción de salto) y se determina si los mismos deben ser tomados o no. La unidad principal de esta etapa es la ALU, pero cobra particular importancia el sumador utilizado para el cálculo de la dirección de destino de los saltos.

**MEM (Memory Access):** Existen instrucciones que interactúan con una memoria de datos, ya sea para guardar en ella un valor, o para leer un valor desde la memoria hacia un registro. En esta etapa se realiza el acceso a la memoria de datos.

**WB (Write back):** Finalmente, obtenidos los resultados se escriben los registros nuevamente, actualizándose su valor.

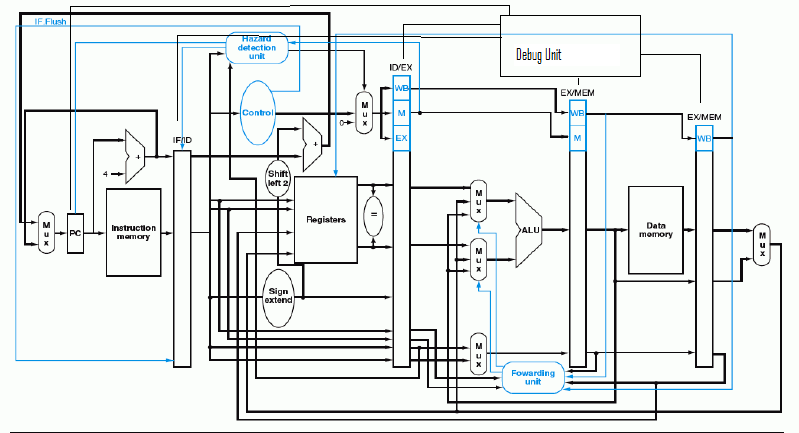
Cada etapa está separada por un registro que cumple la función de sincronizar el funcionamiento. El pipeline cuenta también con una unidad de cortocircuito y una unidad de detección de riesgos, necesarias para evitar riesgos de datos y de control durante la ejecución. A continuación se muestra un esquema del pipeline solicitado.

Figura 1: Esquema del pipeline completo.

* La memoria de datos deberá estar separada de la memoria de instrucciones, y se deberán utilizar IP Cores para su implementación.
* Deberá contarse con una unidad de Debuggeo utilizada para seguir la ejecución de las instrucciones. La misma deberá enviar por puerto serie, el estado de todos los registros del procesador, y de los registros de cada etapa del pipeline, como así también el PC actual y la instrucción que se ejecutará.
* Deberán existir dos modos de ejecución: Paso a paso, que permite ejecutar de a un único ciclo de clock; y Free Running, que permitirá ejecutar las instrucciones hasta que el programa finalice.

## Objetivos

El principal objetivo es desarrollar un pipeline de un procesador DLX que permita ejecutar correctamente el conjunto de instrucciones solicitado. Para ello, se plantearon los siguientes objetivos particulares:

* Desarrollar y testear las 5 etapas del pipeline por separado.
* Integrar todas las etapas incorporando los registros correspondientes a cada etapa.
* Desarrollar la unidad de control, la unidad de debugging, la unidad de cortocircuito y la unidad de detección de riesgos, y realizar una integración del sistema.
* Desarrollar un programa de ejemplo que permita probar el funcionamiento de todas las instrucciones.

## Alcances del trabajo

Si bien se agregará una unidad de detección de riesgos (para evitar riesgos de control), en este trabajo no se desarrollará un predictor de saltos, que nos permita realizar la ejecución perdiendo la menor cantidad de instrucciones. Cada vez que se tome un salto, se eliminarán las instrucciones que no deben ejecutarse, provocándose de esta forma la pérdida de dos instrucciones por cada salto tomado.

# Desarrollo

El desarrollo de este trabajo fue llevado a cabo utilizando el siguiente entorno:

* Lenguaje de desarrollo: Verilog
* Herramientas de desarrollo provistas por Xilinx (ISE design swite 14.1)
* Placa de desarrollo Nexys 3 de Digilent, con una FPGA Spartan 6.
* Repositorio GIT alojado en GitHub.

Se dividió el proceso de desarrollo en 3 etapas:

* Estudio de las instrucciones y su arquitectura.
* Desarrollo del pipeline realizando simulaciones con fines de prueba.
* Integración del desarrollo para ser utilizado en la placa, donde también se realizaron las pruebas de funcionamiento con la ayuda de una unidad de Debugueo.

A continuación presentamos una descripción de lo trabajado en cada etapa.

## Instrucciones

El pipeline implementado deberá ser capaz de ejecutar un conjunto de instrucciones que cumplen con ciertas características en común, a saber:

* 32 bits de longitud fija.
* Cada instrucción posee un código de operación (6 bits más significativos), y en algunos casos un código de función (6 bits menos significativos).
* Dentro de la instrucción se encuentran tanto los registros fuente (5 bits cada uno) como el registro destino (5 bits), si los hubiere.
* En caso de utilizar un valor inmediato, este siempre se encuentra en los 16 bits menos significativos de la instrucción.

El conjunto de instrucciones puede agruparse en tres categorías: Instrucciones Tipo R, instrucciones tipo I, e instrucciones Tipo J.

### Instrucciones Tipo-R

Este tipo de instrucciones realizan todo tipo de operaciones matemáticas y lógicas (suma, resta, and, or, shifts, etc). Se caracterizan por tener sus bits de operación (31:26) todos en 0, y utilizar como identificador de instrucción los bits de función (5:0). Estos le indicarán a la ALU qué operación deberá realizar.

Existen tres instrucciones (SLL, SRL, y SRA) que toman un único registro como fuente, y desplazan dicho registro *sa* veces (donde sa es obtenido de la instrucción, y significa Shift Ammount). Todas las demás instrucciones toman dos registros como fuente, y un registro destino, donde se almacenará el resultado de la operación. Todos aquellos campos que la instrucción no utilice, deberán ser iguales a 0.

La estructura de una instrucción Tipo R puede verse en la siguiente imagen.

### Instrucciones tipo RInstrucciones Tipo-I

Figura : Instrucciones tipo R

En este tipo de operaciones, uno de los operandos es un registro (**rs** o **base**), y el otro es un valor inmediato (**immediate**), incluido en los 16 bits menos significativos de la instrucción.

A su vez existen dos tipos de operaciones que utilizan valores inmediatos: operaciones desde/hacia la memoria de datos, y operaciones aritméticas o lógicas, con valores inmediatos.

Para interactuar con la memoria de datos pueden utilizarse instrucciones Load e instrucciones Store. Ambas utilizan el operando correspondiente al registro como una base, y el valor inmediato como un offset, para formar así la dirección efectiva a la que se desea acceder (tanto para leer como para escribir un dato en memoria). Las operaciones de Load toman un valor de memoria y lo guardan en el registro destino (**rt**), mientras que las operaciones de Store toman el valor del registro “destino” y lo guardan en una posición de memoria.

Existen además dos casos especiales, que son los saltos no condicionales. Para ello se utilizan los 26 bits menos significativos para indicar la dirección de destino del salto.

A continuación se muestra la estructura de las instrucciones tipo I.

Figura : Instrucciones tipo I

### Instrucciones Tipo-J

Finalmente, existe un último tipo de instrucciones que corresponden a aquellas en las que se realiza un salto incondicional, pero la dirección de destino se encuentra almacenada en un registro, en lugar de estar contenida en la misma instrucción.

Al igual que las instrucciones tipo R, el código de operación es 0, y se utilizan los bits de función (5:0) para indicar qué instrucción deberá ejecutarse. El operando **rs** (bits 25:21) es el registro que contiene la dirección efectiva a la que deberá saltarse, y en los restantes bits, en el caso de la instrucción JALR, puede indicarse un registro específico donde se guardará la dirección de retorno.

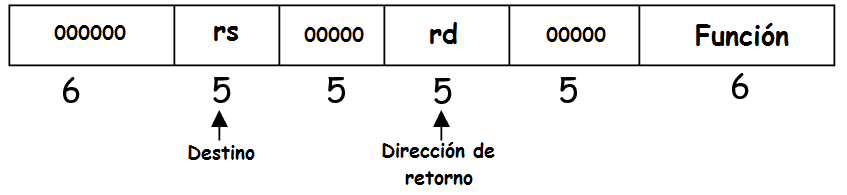
La estructura de una instrucción tipo J puede verse a continuación.

Figura : Instrucciones tipo J

Si se desea profundizar más a cerca de cada instrucción en particular, puede consultarse el archivo adjunto “Tabla de instrucciones.xlsx”. Más adelante, cuando analicemos cada una de las etapas del pipeline, volveremos sobre los distintos tipos de instrucciones para definir las señales de control que deberán utilizarse en cada caso.

## Desarrollo del Pipeline

Cuando procesamos una instrucción, la misma pasa por distintas etapas bien definidas, cada una con un objetivo en particular. Si deseamos procesar un conjunto de instrucciones, podemos dividir el procesamiento en estaciones (etapas), y colocar una instrucción en cada estación, logrando de esta manera paralelizar la ejecución.

Queda claro que el objetivo de diseño del pipeline es determinar cuáles son las tareas que deben realizarse en cada etapa. Para el caso del procesador DLX que se implementó en este trabajo, las etapas fueron mencionadas en la introducción. A modo de repaso, estas son:

* **IF (Instruction Fetch):** Búsqueda de la instrucción en la memoria de programa.
* **ID (Instruction Decode):** Decodificación de la instrucción y lectura de registros.
* **EX (Excecute):** Ejecución de la instrucción propiamente dicha.
* **MEM (Memory Access):** Lectura o escritura desde/hacia la memoria de datos.
* **WB (Write back):** Escritura de resultados en los registros.

Analizaremos cada una de estas etapas en detalle.

### Instruction Fetch (IF)

Como dijimos, en esta etapa se realiza la búsqueda de la instrucción en la memoria de programa. La dirección de memoria de donde se tomará la instrucción está dada por un contador de programa (PC). En nuestro caso, utilizamos una memoria de 32 bits, por lo que cada entrada corresponde a una instrucción.

La memoria fue implementada utilizando un IP core provisto por la herramienta de desarrollo. Es una memoria ROM con 2048 palabras de 32 bits, por lo que se necesitan 11 bits de dirección (de allí que el PC tenga 11 bits). La siguiente figura muestra los módulos que componen la etapa de búsqueda de instrucción.

***Memoria***

***instrucciones***

ADDR

DR

***PC***

***Sumador***

0

1

***MUX***

*+1*

Destino de salto

PC Siguiente

El módulo PC es un arreglo de flip flops D activados por flanco ascendente. La memoria de instrucciones leerá el valor en el flanco descendente. El sumador es un circuito combinacional que incrementa en 1 el valor del PC. El multiplexor también es un circuito combinacional que selecciona la fuente del PC (para cuando se realizan operaciones de salto). La señal de control de este multiplexor será incorporada luego, cuando analicemos la unidad de detección de riesgos.

Esta etapa tiene como entrada la dirección de destino que se calcula en caso de estar ejecutando una operación de salto. Como salidas de la etapa se tienen la instrucción leída, y el valor del PC Siguiente (utilizado para calcular los destinos de los saltos). Cabe recordar que entre dos etapas del pipeline, siempre habrá un registro activado por flanco negativo, que será el que sincronice todas las señales de salida de la etapa anterior.